

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043497

(43)Date of publication of application : 08.02.2002

51)Int.Cl.

H01L 23/50

21)Application number : 2000-227077

(71)Applicant : MITSUBISHI ELECTRIC CORP

22)Date of filing : 27.07.2000

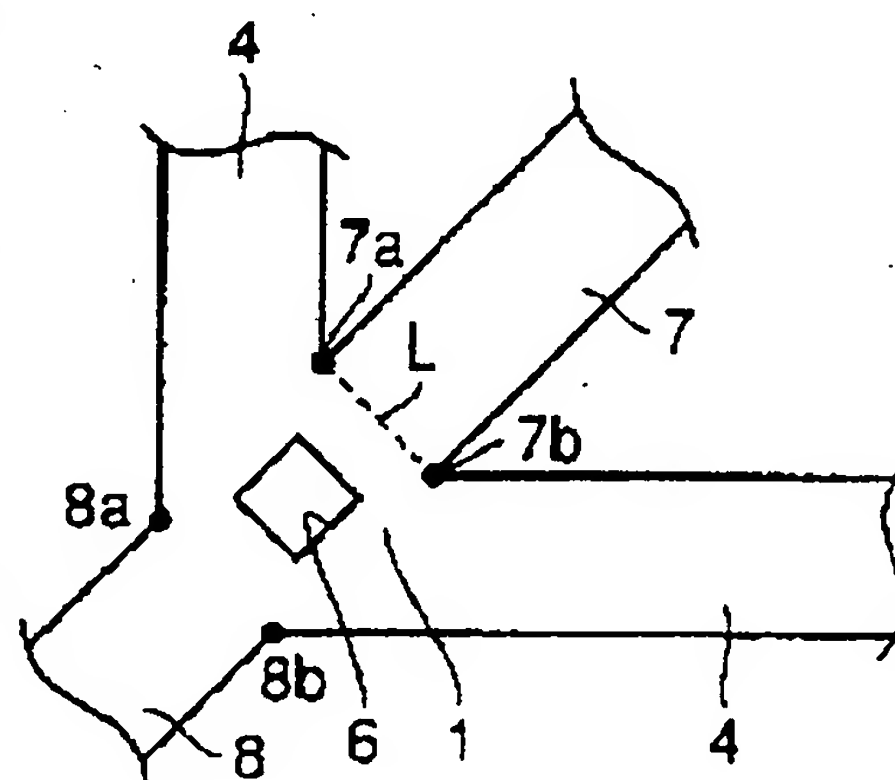
(72)Inventor : YASUDA NAOTSUGU
TONE YOSHIMORI

54) SEMICONDUCTOR DEVICE

57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a resin peeling prevention hole and provided with a lead frame difficult to concentrate deformation in the neighborhood thereof.

SOLUTION: The resin peeling prevention hole 5 is provided on the intersection part 1 of a reinforcing frame 4 and an inside hanging lead in the lead frame, and positioned on the intersection part of the area of the contrary side of a die pad rather than a line L connecting first and second inside hanging lead root boundary points 7a, 7b being a point in which the reinforcing frame continues to both the side parts of an inside hanging lead extending from the intersection part.



LEGAL STATUS

Date of request for examination]

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the
examiner's decision of rejection or application

converted registration]

Date of final disposal for application]

Patent number]

Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

拒絶理由通知書

特許出願の番号	特願2000-556398
起案日	平成14年10月29日
特許庁審査官	酒井 英夫 9631 4R00
特許出願人代理人	大島 陽一 様
適用条文	第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から3か月以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記 of 刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

(1) 請求項1-9, 11-15及び17-34に係る発明について

・引用文献：1-4

引用文献1には、リードの表面が半導体チップとワイヤボンディングされ、リード及びダイパッドの裏面がパッケージ裏面から露出するように前記チップ、ボンディングワイヤ、及びリードを樹脂封止した半導体装置が記載されている（特に、図2及び3を参照）。

一方、リードやダイパッドの側面に突出部や凹部等（本願の「出入り部」に相当）を設けることによって封止樹脂とリードの密着性を向上させる技術が引用文献2-4に示されている。引用文献1に記載の発明においても樹脂とリードとの密着性の向上は当然に考慮されるべき課題であるのだから、引用文献1に記載の発明に対し、引用文献2-4等 to 示された如くの技術を付加することは、当業者であれば容易に想到し得るものである。

(2) 請求項10及び16に係る発明について

・引用文献：1, 5, 6

リードやダイパッドにギザギザした部分を設けることによって封止樹脂とリー

発送日 平成14年11月 5日 2 / 2

ドの密着性を向上させることは、本願出願前の周知技術にすぎない（必要ならば、引用文献5及び6等を参照）。

(3) 請求項 35 及び 36 に係る発明について

• 参考文献：1—6

リードフレームの製法として、エッチングやスタンピングは本願出願前より慣用的に行われているものにすぎない。

引用文献等一覽

1. 特開平05－129473号公報
2. 特開昭60－195957号公報
3. 特開平06－140563号公報
4. 特開平01－251747号公報
5. 特開平10－163401号公報
6. 特開昭63－067762号公報

先行技術文献調査結果の記録

・調査した分野 I P C第7版 H01L 23／12，23／28，
 H01L 23／50

・先行技術文献 特開平10-012773号公報
特開昭63-054759号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知書についてのお問い合わせ先

特許審査第三部 電子素材加工 審査官 酒井 英夫

電話 03-3581-1101 (内線3424)

FAX 03-3580-6905

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 23/498	(11) 공개번호 특2002-0049944
	(43) 공개일자 2002년06월26일
(21) 출원번호 10-2000-0079272	
(22) 출원일자 2000년12월20일	
(71) 출원인 주식회사 하이닉스반도체	
	경기 이천시 부발읍 아미리 산136-1
(72) 발명자 송주성	
	충청북도청주시흥덕구북대동세원느티마을105-601
(74) 대리인 강용복, 김용인	
<u>심사청구 : 없음</u>	
<u>(54) 반도체 패키지 및 그 제조방법</u>	

요약

본 발명은 반도체 패키지에 관한 것으로서, 회로기판과 리드프레임을 접목시킨 형태의 기판으로써 공정의 단순화를 도모함과 더불어 보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공하기 위한 것이다.

이를 위해, 본 발명은 칩(1)이 안착되는 다이패들(4)과, 상기 다이패들(4) 주위에 배치되는 리드(5)와, 상기 리드(5) 상면에 부착되며 다이패들(4)이 노출되도록 하는 윈도우(10)와 와이어 본딩을 위한 본드핑거(8) 및 리드(5)와의 전기적 접속을 위한 비어홀(9)이 구비된 회로기판(2)과, 상기 칩(1)의 본딩패드와 회로기판(2)의 본드핑거(8)를 전기적으로 연결하는 와이어(6)와, 상기 칩(1)과 와이어(6) 및 본드핑거(8) 봉지하는 몰드바디(7)를 포함하여서 됨을 특징으로 하는 반도체 패키지 및 그 제조방법이 제공된다.

대표도

도3

색인어

칩, 회로기판, 리드프레임

명세서

도면의 간단한 설명

- 도 1은 본 발명의 반도체 패키지를 나타낸 종단면도
- 도 2a 내지 도 2h는 본 발명의 패키지 제조 과정을 나타낸 것으로서,
- 도 2a는 본 발명 반도체 패키지 제조에 적용되는 회로기판을 나타낸 평면도
- 도 2b는 본 발명 반도체 패키지 제조에 적용되는 리드프레임을 나타낸 평면도
- 도 2c는 도 2b의 리드프레임 상부에 회로기판이 올려진 상태를 한 유닛을 예로 들어 나타낸 평면도
- 도 2d는 도 2c의 1-1선을 따른 종단면도
- 도 2e는 다이패들 상면에 칩이 어태치된 상태를 나타낸 종단면도
- 도 2f는 와이어 본딩후의 상태를 나타낸 종단면도

도 2g는 봉지후의 상태 나타낸 종단면도

도 2h는 트리밍 후의 상태를 나타낸 종단면도

도 3은 본 발명의 반도체 패키지가 마더보드에 실장된 상태를 나타낸 종단면도

도 4는 본 발명의 반도체 패키지가 스택된 상태를 나타낸 종단면도

• 도면의 주요부분에 대한 부호의 설명 •

- | | |
|---------|--------|
| 1:칩 | 2:회로기판 |
| 3:리드프레임 | 4:다이패들 |
| 5:리드 | 6:와이어 |
| 7:몰드바디 | 8:본드핑거 |
| 9:비어홀 | 10:윈도우 |
| 11:마더보드 | 12:솔더 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 회로기판과 리드프레임을 접목시킨 형태의 기판으로써 공정의 단순화를 도모함과 더불어 보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공하기 위한 것이다.

일반적으로, 반도체 산업에서 집적회로에 대한 패키징 기술은 소형화에 대한 요구 및 실장 신뢰성을 만족시키기 위해 지금까지 계속 발전해오고 있다.

즉, 소형화에 대한 요구는 칩 스케일에 근접한 패키지에 대한 개발을 가속화시키고 있으며, 실장 신뢰성에 대한 요구는 실장작업의 효율성 및 실장후의 기계적·전기적 신뢰성을 향상시킬 수 있는 패키지 제조 기술에 대한 중요성을 부각시키고 있다.

한편, 일반적으로 반도체소자는 집적회로가 형성된 웨이퍼 상태에서 날개의 칩으로 각각 분리된 후, 이것을 플라스틱 패키지나 세라믹 패키지에 탑재하여 기판에의 실장이 용이하도록 조립하는 패키징 공정을 거치게 된다.

이와 같이 행해지는 반도체소자에 대한 패키징 공정의 주목적은 기판이나 소켓에 실장하기 위한 형상의 확보와 기능보호에 있다고 할 수 있다.

또한, 최근에는 집적회로의 고집적화에 따라 다핀화, 미세조립기술, 또 실장형태의 다양화에 따른 패키지의 다종류화 등, 조립공정과 관련된 기술도 각각 세분된 분야에 따라 크게 변화하고 있다.

반도체 조립공정의 개요에 대해 현재 가장 많이 사용되고 있는 플라스틱 타입의 반도체소자를 예로 들어 설명하면 다음과 같다.

먼저, 전기적 회로가 형성된 웨이퍼를 각각의 단일 칩으로 분리하는데, 이때 Si(실리콘)는 모스경도 7로서 딱딱하고 깨지기 쉬운 성질을 갖고 있으므로 웨이퍼의 제조시 미리 분리할 라인에 절단하기 위한 물질을 넣어두고 이 분리라인을 따라 브레이크 용력을 가해 파괴, 분리시키는 방법을 취하는 경우가 많다.

또한, 분리된 각각의 반도체 칩은 리드프레임의 다이패들에 본딩되고, 이때의 접합방법은 Au-Si 공정(共晶)법, 납땀법, 수지접착법 등이 있으며 용도에 따라 알맞은 방법이 선택되어 사용된다.

한편, 전술한 바와 같이 반도체 칩을 리드프레임의 다이패들에 접착하는 목적은 조립이 완료된 후 기판에 실장시키기 위해서 뿐만 아니라, 전기적 입출력단자나 어스(earth)를 겸하는 일도 있으며 소자의 동작시 발생하는 열의 방열용로서도 필요로 하는 경우가 있기 때문이다.

상기와 같이 반도체 칩을 본딩한 후에는 칩의 본딩패드와 리드프레임의 인너리드를 와이어로 본딩함으로써 연결하게 되며, 와이어 본딩의 방법으로 플라스틱 봉합 패키지에서는 일반적으로 골드 와이어를 사용한 열압착법 또는 열압착법과 초음파법을 혼용한 방법이 주로 이용되고 있다.

또한, 와이어 본딩에 의해 반도체 칩과 인너리드가 전기적으로 연결된 후에는 칩을 고순도의 에폭시 수

지를 사용하여 성형 통합함으로써 몰드바디를 형성시키는 몰딩공정이 수행되는데, 이때 사용되는 에폭시 수지는 집적회로의 신뢰성을 좌우하는 중요한 요소이며, 수지의 고순도화와 몰딩시 집적 회로에 주어지는 응력을 저감시키기 위한 저응력화 등의 개선이 추진되고 있다.

그리고, 상기한 공정이 완료된 후에는 IC 패키지를 소켓이나 기판에 실장하기 위해 아웃터리드(outer lead)를 소정의 형상으로 절단하고 성형하는 공정이 행해지며, 아웃터리드에는 실 장접합성(납땜성)을 향상시키기 위해 도금이나 납땜(dip)이 처리된다.

한편, 반도체 패키지는 실장형태 및 리드형태에 따라 여러 가지 유형으로 나뉘는데, 패키지의 대표적인 예로서는 전술한 DIP(Dual Inline Package)외에 QFP(Quad Flat Package), TSOP(Thin Small Outline Package), BGA 패키지(Ball Grid Array package), BLP(Bottom Leaded Package) 등이 있으며, 계속 다핀(多-pin)화 또 는 경박단소(輕薄短小)화 되고 있다.

상기한 패키지 타입중, BGA 패키지(Ball Grid Array package)는 반도체 칩이 부착된 기판의 이면에 구형 의 솔더볼을 소정의 상태로 배열(Array)하여 아웃터리드(outer lead) 대신으로 사용하게 되며, 상기 BGA 패키지는 패키지 몸체(Package Body) 면적을 QFP(Quad Flat Package) 타입보다 작게 할 수 있으며, QFP와는 달리 리드의 변형이 없는 장점이 있다.

대신, 상기 BGA 패키지는 기존의 리드프레임에 비해 값이 비싼 회로기판을 사용하므로 제조원가가 높아지고, 반도체 칩 및 골드 와이어의 보호를 위해 봉지공정 수행시 상형 및 하형에 의해 회로기 판이 눌러져 솔더마스크에 크랙이 발생할 우려가 높아지는 등의 단점이 있다.

한편, BLP(Bottom Leaded Package)는 패키지 몸체의 바텀면을 통해 노출된 리드를 이용하여 기판 에 실장하므로, 패키지 몸체의 두께를 아웃터리드를 갖는 DIP나 QFP 타입에 비해 작게 할 수 있다.

그리고, 최근에는 μ -BGA등 반도체 패키지의 개발이 가속화되고 있으며, 상기한 각 반도체 패키지들은 실장면적, 입출력 단자수, 전기적 신뢰성, 제조공정의 유연성, 제조비용등에 있어 제각기 장점 및 단점을 갖 고 있다.

따라서, 상기한 각 패키지들의 장점을 살리면서 단점을 해소한 새로운 타입의 반도체 패키지가 지속적 으로 연구 개발되고 있는 실정이다.

발명이 이루고자하는 기술적 과제

본 발명은 상기한 바와 같이 기존의 반도체 패키지가 갖는 장점을 최대한 살리면서 단점을 해소한 새로운 타입의 반도체 패키지를 제공하기 위한 것으로서, 회로기판과 리드프레임을 접목시킨 형태의 기판을 이용함으로써 공정의 단순화를 도모함과 더불어 보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해, 본 발명은 칩이 안착되는 다이패들과, 상기 다이패들 주위에 배치되 는 리드와, 상기 리드 상면에 부착되며 다이패들이 노출되도록 하는 윈도우와 와이어 본딩을 위한 본드 핑거 및 리드와의 전기적 접속을 위한 비어홀이 구비된 회로기판과, 상기 칩의 본딩패드와 회로기판 의 본드핑거를 전기적으로 연결하는 와이어와, 상기 칩과 와이어 및 본드핑거를 봉지하는 몰드바디를 포함하여서 됨을 특징으로 하는 반도체 패키지가 제공된다.

상기한 목적을 달성하기 위한 본 발명의 다른 형태에 따르면, 다이패들 및 리드를 구비한 리드프레 임 상면에 다이패들 노출을 위한 윈도우와 와이어 본딩을 위한 본드핑거 및 리드와의 전기적 접속을 위 한 비어홀이 구비된 회로기판 스트립을 부착하는 단계와, 상기 다이패들 상면에 칩을 부착하는 단 계와, 상기 칩의 본딩패드와 회로기판의 본드핑거를 와이어를 이용하여 전기적으로 연결하는 단계와, 상기 칩과 와이어 및 본드핑거를 봉지제로 봉지하여 몰드바디를 형성하는 단계와, 상기 회로기판 스트립 및 리드프레임으로부터 각 유닛이 분리되도록 트리밍하는 단계를 포함하여서 됨을 특징으로 하는 반도체 패키지 제조방법이 제공된다.

이하, 본 발명의 실시예를 첨부도면 도 1 내지 도 4를 참조하여 설명하면 다음과 같다.

도 1은 본 발명의 반도체 패키지를 나타낸 종단면도로서, 칩(1)이 안착되는 다이패들(4)과, 상기 다이패 들(4) 주위에 배치되는 리드(5)와, 상기 리드(5) 상면에 부착되며 다이패들(4)이 노출되도록 하는 윈도 우(10)와 와이어 본딩을 위한 본드핑거(8) 및 리드(5)와의 전기적 접속을 위한 비어홀(9)이 구비된 회로기 판(2)과, 상기 칩(1)의 본딩패드와 회로기판(2)의 본드핑거(8)를 전기적으로 연결하는 와이어(6)와, 상기 칩(1)과 와이어(6) 및 본드핑거(8)를 봉지하는 몰드바디(7) 포함하여 구성된다.

이 때, 회로기판(2)의 비어홀(9) 영역에는 비어홀(9)과 리드(5)가 접합되어 전기적으로 연결되도록 하는 솔더(12)가 도포된다.

한편, 상기 리드(5)와 회로기판(2) 사이 및, 다이패들(4)과 칩(1) 사이에는 어드헤시브가 개재되며, 상기 어드헤시브로서는 접착테이프 또는 에폭시가 사용된다.

한편, 상기 다이패들(4)은 회로기판(2)에 부착되는 타이바에 의해 지지되며, 몰드바디(7) 외측으로 노출된다.

이와 같이 구성된 본 발명 패키지의 제조 과정을 도 2a 내지 도 2h를 참조하여 설명하면 다음과 같다.

먼저, 도 2a에 도시된 바와 같이, 다이패들(4)이 노출되도록 하는 윈도우(10)와 와이어 본딩을 위한 본드 핑거(8) 및 리드(5)와의 전기적 접속을 위한 비어홀(9)이 구비된 회로기판(2)을 준비한다.

이와 더불어, 도 2b에 도시된 바와 같이, 다이패들(4)과 이를 지지하기 위한 타이바 및 상기 다이패들(4) 주위에 배치되는 리드(5)를 구비한 리드프레임(3)을 준비한다.

이 때, 리드(5)들에는 리드 록 테이프(13)가 부착되어 있다.

이와 같이 회로기판 스트립(200) 및 리드프레임(3)이 준비된 상태에서, 도 2c 및 도 2d에 나타난 바와 같이 리드프레임(3) 상부면에 회로기판 스트립(200)을 부착한다.

그 후, 도 2e에 나타난 바와 같이, 상기 다이패들(4) 상면에 칩(1)을 어태치하고, 이어 도 2f에서와 같이 칩(1)의 본딩패드와 회로기판(2)의 본드핑거(8)를 골드와이어(6) 등으로 연결하는 와이어 본딩을 실시한다.

그 다음, 도 2g에 나타난 바와 같이, 칩(1)과 와이어(6)와 본드핑거(8)를 봉지제로써 봉지하여 몰드바디(7)를 형성한다.

상기, 몰드바디(7)는 트랜스퍼 몰딩에 의해 수행가능하며, 이 때 상기 다이패들(4) 저면은 몰드바디(7) 외측으로 노출되어 히트싱크 역할을 겸하게 된다.

한편, 몰드바디(7) 형성후에는, 도 2h에 나타난 바와 같이 트리밍하여 리드를 리드프레임으로부터 분리 시킴과 동시에 개별 유니트별로 분리하므로써 반도체 패키지를 완성하게 된다

상기와 같이 제조된 본 발명의 반도체 패키지는 마더보드(11)등의 실장시, 도 3에 나타난 바와 같이 트리밍된 비어홀(9) 영역에 솔더(12)를 도포하여 비어홀(9)과 리드(5)가 전기적으로 접속되도록 한 상태에서 실장하게 된다.

이와 같이 제조된 본 발명의 반도체 패키지는 리드프레임(3)을 사용하므로써 구조적으로 강하고, 리드(5)가 기판에 직접 접합되므로 접합 신뢰성이 향상된다.

한편, 회로기판 스트립(200)과 리드프레임(3)을 단순 접합 후 와이어 본딩 및 몰딩을 이용하는 간단한 공정에 의해 제조하며, 스트립 상태에서 전공정을 끝낸 후 날개로 분리하기 때문에 제조시간을 단축시킬 수 있게 된다.

또한, 본 발명의 패키지는 다이패들(4) 저면이 몰드바디(7) 외측으로 노출되어 히트싱크 역할을 함에 따라, 열방출 성능이 향상된다.

한편, 본 발명의 반도체 패키지는 도 4에 도시한 바와 같은 형태로 스택 패키지를 구현할 수 있게 된다.

발명의 효과

이상에서와 같이, 본 발명은 기존의 반도체 패키지가 갖는 장점을 최대한 살리면서 단점은 해소한 새로운 타입의 반도체 패키지를 제공하기 위한 것이다.

즉, 본 발명은 회로기판과 리드프레임을 접목시킨 형태의 기판으로써 공정의 단순화를 도모함과 더불어 어보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공할 수 있게 된다.

(57) 청구의 범위

청구항 1

칩이 안착되는 다이패들과,

상기 다이패 주위에 배치되는 리드와,

상기 리드 상면에 부착되며 다이패들이 노출되도록 하는 윈도우와 와이어 본딩을 위한 본드핑거 및 리드와의 전기적 접속을 위한 비어홀이 구비된 회로기판과,

상기 칩의 본딩패드와 회로기판의 본드핑거 전기적으로 연결하는 와이어와,

상기 칩과 와이어 및 본드핑거를 봉지하는 몰드바디를 포함하여서 됨을 특징으로 하는 반도체 패키지.

청구항 2

제 1 항에 있어서,

상기 회로기판의 비어홀 영역에 도포되어 상기 비어홀과 리드가 전기적으로 연결되도록 하는 솔더가 포함됨을 특징으로 하는 반도체 패키지.

청구항 3

제 1 항에 있어서,

상기 리드와 회로기판 사이 및, 다이패들과 칩 사이에는 어드헤시브가 개재됨을 특징으로 하는 반도체 패키지.

청구항 4

제 3 항에 있어서,

상기 어드헤시브는 접착테이프 또는 에폭시임을 특징으로 하는 반도체 패키지.

청구항 5

제 1 항에 있어서,

상기 다이패들 저면은 몰드바디 외측으로 노출됨을 특징으로 하는 반도체 패키지.

청구항 6

제 1 항에 있어서,

상기 몰드바디는 트랜스퍼 몰딩에 의해 형성됨을 특징으로 하는 반도체 패키지.

청구항 7

다이패들 및 리드를 구비한 리드프레임 상면에 다이패들 노출을 위한 윈도우와 와이어 본딩을 위한 본드핑거 및 리드와의 전기적 접속을 위한 비어홀이 구비된 회로기판 스트립을 부착하는 단계와,

상기 다이패들 상면에 칩을 부착하는 단계와,

상기 칩의 본딩패드와 회로기판의 본드핑거를 와이어를 이용하여 전기적으로 연결하는 단계와,

상기 칩과 와이어 및 본드핑거를 봉지제로 봉지하여 몰드바디를 형성하는 단계와,

상기 회로기판 스트립 및 리드프레임으로부터 각 유닛이 분리되도록 트리밍하는 단계를 포함하여서 됨을 특징으로 하는 반도체 패키지 제조방법.

청구항 8

제 7 항에 있어서,

상기 어드헤시브는 열전도성 접착테이프 또는 에폭시임을 특징으로 하는 반도체 패키지 제조방법.

청구항 9

제 7 항에 있어서,

몰드바디를 형성하는 단계는 트랜스퍼 몰딩에 의해 수행됨을 특징으로 하는 반도체 패키지 제조방법.

청구항 10

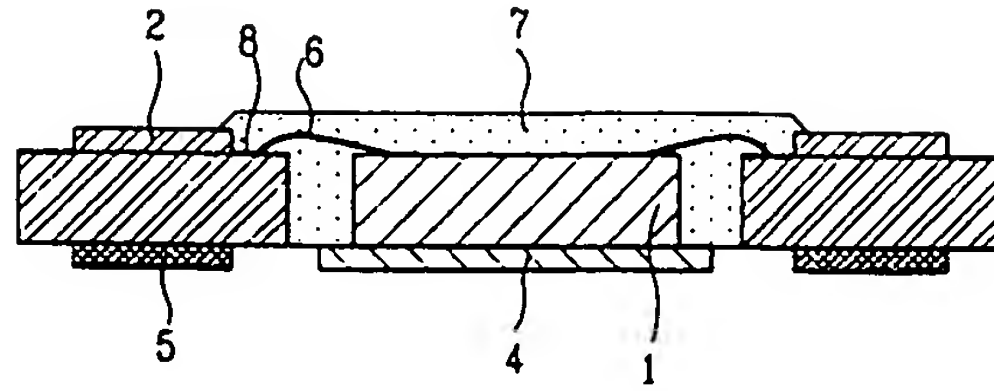
제 7 항에 있어서,

회로기판의 비어 영역에 도포되는 솔더에 의해 비어 과 리드가 전기적으로 연결되도록 집합됨

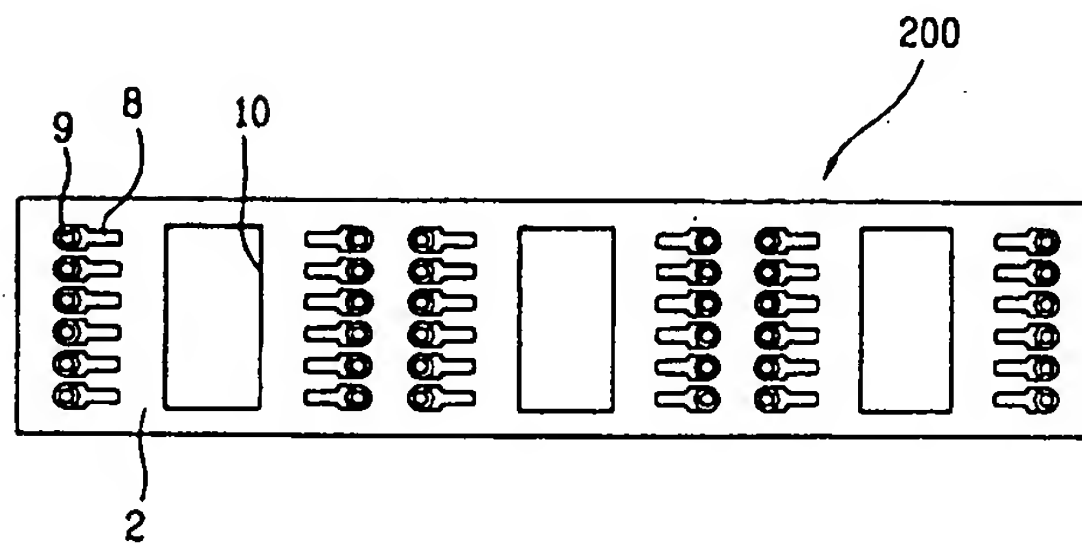
을 특징으로 하는 반도체 패키지 제조방법.

도면

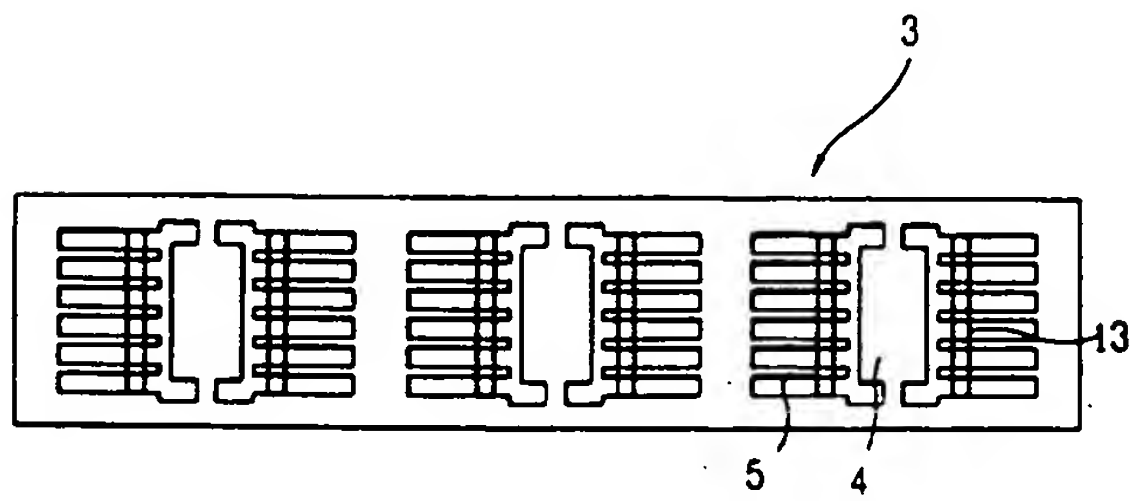
도면1



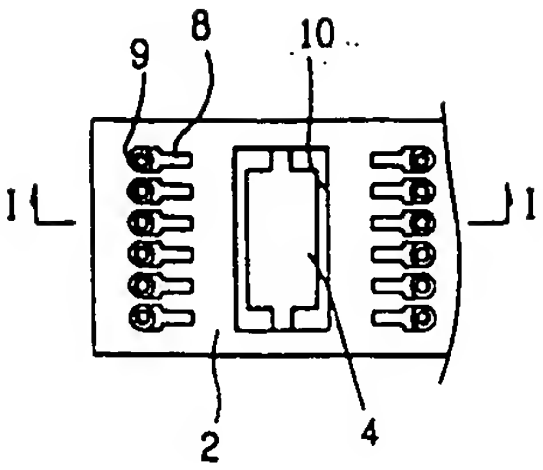
도면2a



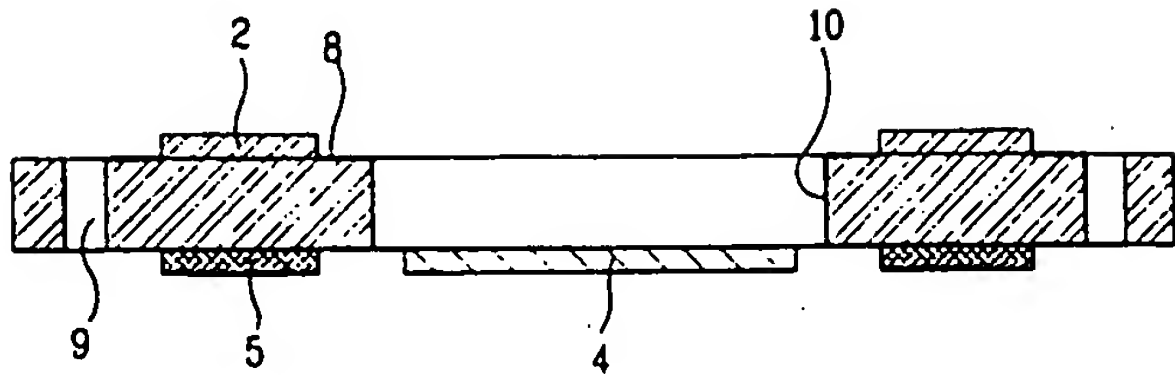
도면2b



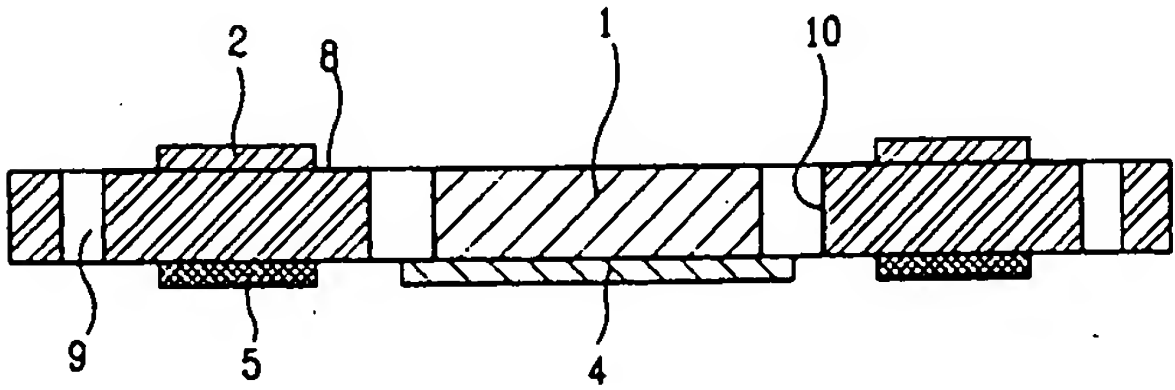
도면2c



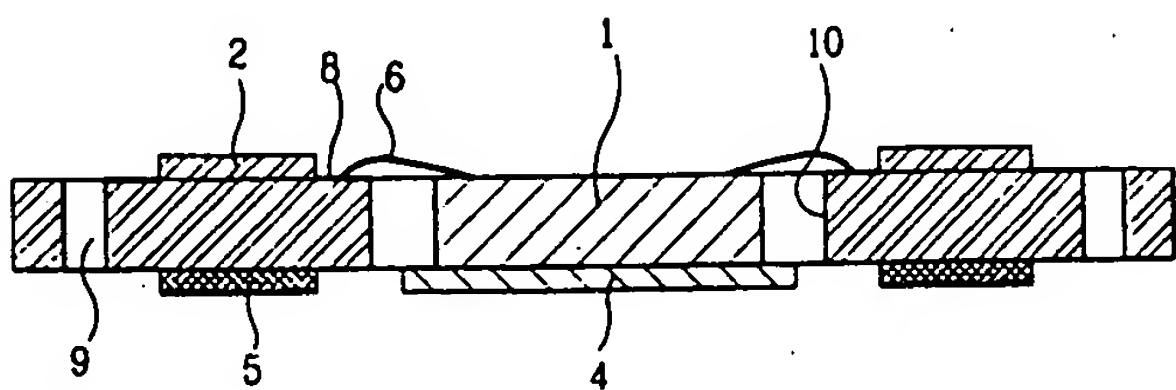
도면2d



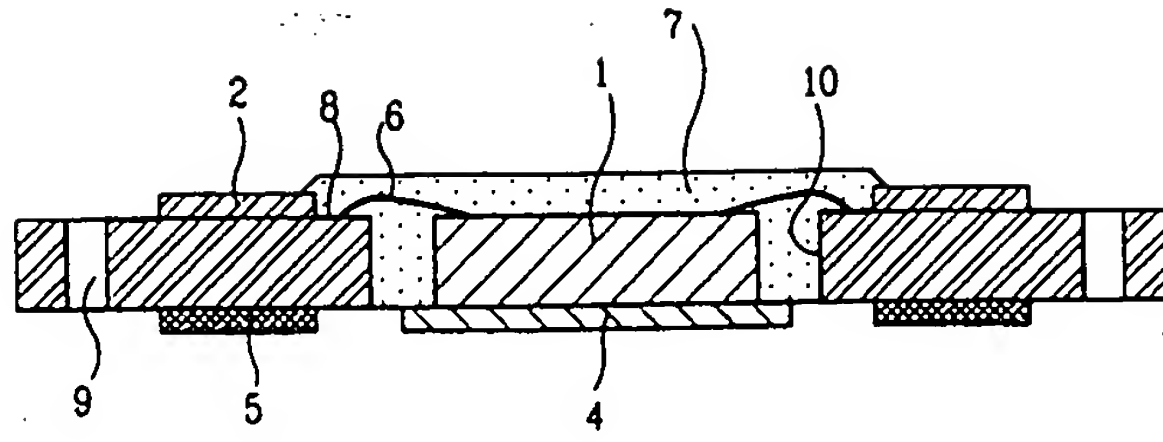
도면2e



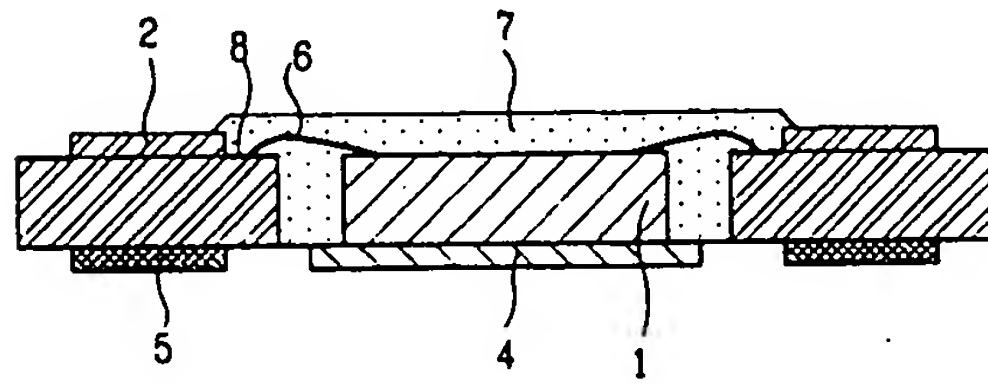
도면2f



도면2g



도면2h



도면3

